

SECRET #3

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

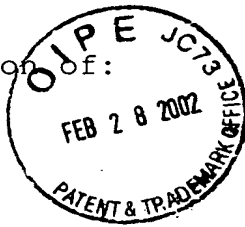
TAILLIET

Serial No. 10/025,372

Confirmation No. 4787

Filing Date: December 19, 2001

For: METHOD AND SYSTEM FOR THE
ADJUSTMENT OF AN INTERNAL TIMING
SIGNAL OR A CORRESPONDING
REFERENCE IN AN INTEGRATED
CIRCUIT, AND CORRESPONDING
INTEGRATED CIRCUIT



COPY OF PAPERS
ORIGINALLY FILED

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the
priority France Application No. 0016703.

Respectfully submitted,

JOHN F. WOODSON, II

Reg. No. 45,236

Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.

255 S. Orange Avenue, Suite 1401

Post Office Box 3791

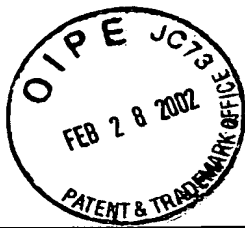
Orlando, Florida 32802

Telephone: 407/841-2330

Fax: 407/841-2343

Attorney for Applicant

THIS PAGE BLANK (USPTO)

COPY OF PAPERS
ORIGINALLY FILED

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **20 DEC. 2001**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (1) 53 04 53 04
Télécopie : 33 (1) 42 93 59 30
www.inpi.fr

100-443887-2

1992

1. *Chlorophyll a* (Chl *a*)

THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire


DB 540 W / 250899

REMISSÉ DATE 20 DEC 2000 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0016703 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 20 DEC. 2000 V s références pour ce dossier (facultatif) 015678 -(00-R0-100))		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet BALLOT 16 Avenue du Pont Royal 94230 CACHAN	
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale		N°	Date
ou demande de certificat d'utilité initiale		N°	Date
Transformation d'une demande de brevet européen		<input type="checkbox"/>	Date
Demande de brevet initiale		N°	Date
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Procédé et système d'ajustement d'une temporisation interne ou d'une référence associée dans un circuit intégré et circuit intégré correspondant			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date / / N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMICROELECTRONICS SA.	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN			
Code APE-NAF			
Adresse	Rue	7, avenue Galliéni	
	Code postal et ville	94250	Gentilly
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

As

**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**

REQUÊTE EN DÉLIVRANCE 2/2

REMISSEUR 20 DEC 2000 DATE 75 INPI PARIS LIEU N° D'ENREGISTREMENT 0016703 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI	
V s références pour ce dossier : <i>(facultatif)</i>		015678 - (00-RO-100)	
6 MANDATAIRE			
Nom		BORIN	
Prénom		Lydie	
Cabinet ou Société		CABINET BALLOT	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	16, avenue du Pont Royal	
	Code postal et ville	94230	CACHAN
N° de téléphone <i>(facultatif)</i>		01 49 69 91 91	
N° de télécopie <i>(facultatif)</i>		01 49 69 91 90	
Adresse électronique <i>(facultatif)</i>			
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Lydie BORIN Mandataire n° 94-0506 Cabinet BALLOT		VISA DE LA PRÉFECTURE DE L'INPI  A. TROUDART	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Handwritten mark

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

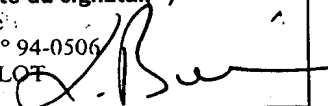
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W / 260899

V s références pour ce dossier (facultatif)		015678 (00-RO-100)	
N° D'ENREGISTREMENT NATIONAL		0016703	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Procédé et système d'ajustement d'une temporisation interne ou d'une référence associée dans un circuit intégré et circuit intégré correspondant			
LE(S) DEMANDEUR(S) : STMICROELECTRONICS SA. 7, avenue Gallieni 94250 Gentilly France			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		TAILLIET	
Prénoms		François	
Adresse	Rue	domicilié au Cabinet BALLOT 16 Avenue du Pont Royal	
	Code postal et ville	94230	CACHAN
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) BORIN Lydie Mandataire N° 94-0506 Cabinet BALLOT			

AG

Procédé et système d'ajustement d'une temporisation interne ou d'une référence associée dans un circuit intégré et circuit intégré correspondant

L'invention concerne un procédé d'ajustement d'une temporisation interne ou d'une référence associée dans un circuit intégré, et un circuit intégré comprenant des moyens permettant de mettre en œuvre ledit procédé.

5 L'invention s'applique aux circuits intégrés comprenant des circuits de référence, par exemple, des circuits de référence de tension, de courant, ou de durée. Une application particulière concerne le test des circuits intégrés en parallèle.

10 L'invention s'applique notamment aux mémoires non volatiles, pour ajuster la durée des impulsions de programmation appliquées aux cellules mémoire. Elle peut avoir d'autres applications comme par exemple, l'étalonnage d'une source de courant ou de tension, ou
15 l'étalonnage d'un potentiomètre électronique à réseau de résistances.

Dans un circuit à mémoire non volatile (EEPROM par exemple), un circuit de contrôle produit un signal de programmation qui comprend typiquement deux impulsions
20 haute tension successives, pour réaliser d'abord l'effacement puis l'écriture. Ce signal de programmation PROGBIT-HV est représenté sur la figure 1. Il a notamment une durée totale T_0 calibrée. Il est fourni par un circuit de génération haute tension
25 activé par un signal logique PROGBIT de commande de programmation. Dans l'exemple le signal de programmation PROGBIT est à "1" pendant la phase d'effacement/programmation. Dans un exemple, la valeur typique de la durée T_0 est de 5 millisecondes, dans une
30 fenêtre de tolérance de 1 à 10 millisecondes. Ce signal

de programmation PROGBIT-HV a une valeur de haute tension HV qui doit répondre également à des contraintes bien déterminées. Les contraintes sur les caractéristiques (durée, valeur haute tension) du signal de programmation sont déterminées afin d'assurer une programmation fiable.

La durée du signal de programmation doit notamment permettre de charger suffisamment les cellules mémoire. Quant à la durée maximale du signal de programmation, elle résulte habituellement des spécifications fonctionnelles de la mémoire.

En pratique, les caractéristiques du signal de programmation varient d'un circuit intégré à l'autre, en raison des dispersions intrinsèques au procédé technologique de fabrication mis en œuvre.

En sortie de fabrication, les circuits intégrés sont testés. Ces tests permettent notamment d'écarter ceux dont les caractéristiques ne rentrent pas dans la gamme des valeurs admissibles (spécification des circuits intégrés).

L'idée à la base de l'invention, est de prévoir des dispositifs d'ajustements de ces caractéristiques, réalisés dans le circuit intégré. Ces dispositifs d'ajustement permettent de réduire l'influence de la dispersion des caractéristiques, liée au procédé technologique utilisé.

Si on prend la durée T_0 du signal de commande de programmation PROGBIT, cette durée est obtenue à partir d'un circuit par lequel un courant de référence est utilisé pour charger et décharger un condensateur.

Le principe de l'invention est de faire mesurer par le testeur la durée du signal de programmation de l'invention représenté à la figure 1 (impulsion d'effacement + impulsion de programmation), pour en

déduire une valeur d'étalonnage par rapport à la valeur typique T_0 . Cette valeur d'étalonnage est alors appliquée à un dispositif d'ajustement correspondant prévu dans le circuit intégré. Dans un exemple, le

5 dispositif d'ajustement permet d'ajuster la capacité du condensateur, ou l'intensité du courant de référence, afin d'obtenir une durée de programmation ajustée, proche de la valeur typique T_0 .

En pratique, il s'agit donc :

10 -de mesurer la durée réelle Tr du signal de programmation dans le circuit intégré, sous des conditions normales de fonctionnement.

-d'en déduire la valeur d'étalonnage KE , égale au rapport de la valeur typique T_0 sur la valeur réelle mesurée Tr : $KE = T_0/Tr$.

15

-d'appliquer cette valeur d'étalonnage dans le dispositif d'ajustement de la durée de programmation, en sorte que l'on obtienne une valeur ajustée Ta proche de $KE.Tr$, c'est à dire proche de la valeur typique T_0 de la durée de programmation. La précision de la correction dépend de la précision du dispositif d'ajustement utilisé.

20

Avec un procédé d'étalonnage selon l'invention, il y a moins de dispersion entre les circuits intégrés, ce qui stabilise le fonctionnement des circuits. Le temps de programmation devient très stable et les performances des circuits intégrés plus proches. Il est alors possible d'optimiser la programmation des cellules mémoire.

25

30 Un problème de mise en œuvre du procédé d'étalonnage selon l'invention, est qu'il nécessite une mesure préalable de la caractéristique à ajuster, ce qui ne peut se faire qu'en test. Le circuit doit aussi être testé après ajustement.

En outre, les circuits intégrés sont testés par un système de test automatique, en parallèle. En pratique, il n'est donc pas possible de faire mesurer individuellement la durée de programmation de chaque circuit intégré.

Pour être applicables à de tels systèmes de test, un procédé d'ajustement selon l'invention doit comprendre des étapes identiques pour tous les circuits intégrés, non individualisées.

Un objet de l'invention est un procédé d'ajustement de paramètres d'un circuit intégré qui satisfait toutes ces conditions.

Selon l'invention, le procédé d'ajustement comprend l'activation par le testeur du signal de programmation du circuit intégré, puis l'envoi de valeurs d'étalonnage en séquence par le testeur. Chaque valeur d'étalonnage correspond au rapport de la valeur typique T_0 , sur la durée écoulée depuis l'activation du signal de programmation jusqu'à l'envoi de cette valeur. Dans un exemple dans lequel les valeurs d'étalonnage sont transmises selon le protocole série I2C, chaque valeur correspondant à un octet de donnée, si K_n est la n ème valeur d'étalonnage envoyée, cette valeur d'étalonnage est ainsi égale à : $K_n = T_0 / (9n \cdot T_{CK})$, où T_{CK} est la période du signal d'horloge CK de la liaison série. La fin du signal de programmation déclenche l'enregistrement de la dernière valeur d'étalonnage envoyée (ou en cours d'envoi). Cette valeur peut ensuite être programmée en mémoire non volatile.

Cette valeur d'étalonnage mémorisée est appliquée en entrée d'un dispositif d'ajustement associé à un circuit de référence dont est fonction la durée dudit signal de programmation. On obtient ainsi un circuit de référence ajusté. Un tel circuit de référence sera

typiquement un circuit de référence de courant ou un condensateur (ou réseau de condensateur).

Par ce procédé, la durée ajustée du signal de programmation est égale ou proche de la valeur typique T_0 .

On notera que la valeur d'étalonnage est applicable à un dispositif d'ajustement de n'importe quelle référence dont dépend la durée du signal de programmation. Dans le cas typique où cette durée résulte de la charge d'un condensateur par un courant de référence, on peut ajuster soit le condensateur soit le courant, ce qui améliore les possibilités de réglage.

Cette valeur d'étalonnage peut en outre servir pour ajuster d'autres circuits de référence du même type que les circuits de référence liés au signal de programmation. En d'autres termes, en étalonnant la durée de la temporisation interne, on peut ajuster toute référence du circuit intégré issue d'une structure identique à celle d'un circuit de référence dont dépend la durée de la temporisation interne.

Il est par exemple habituel qu'un circuit intégré comprennent plusieurs sources de courant de référence. Au premier ordre, les dispersions des caractéristiques affectent ces sources de courant de la même façon. Ainsi, la même valeur d'étalonnage est-elle applicable aux différentes sources de courant de référence. On peut donc prévoir un dispositif d'ajustement associé à chaque source de courant, pour y appliquer la valeur d'étalonnage déterminée par le procédé d'ajustement selon l'invention.

De façon générale, on peut appliquer le procédé d'ajustement selon l'invention à tout type de circuit de référence, - source de courant, source de tension,

réseau de condensateurs ou de résistances, auquel on peut faire correspondre une temporisation interne du circuit intégré.

Le procédé consiste alors à déclencher cette temporisation interne, la fin de cette temporisation interne permettant l'enregistrement dans le circuit intégré de la donnée d'étalonnage correspondante.

Avec un tel procédé selon l'invention, le testeur n'a pas à connaître la durée de la temporisation interne.

On peut ainsi tester et étalonner simultanément en parallèle les circuits intégrés d'une même technologie, au moyen d'une table de valeurs d'étalonnage de la temporisation interne établie pour la dite technologie.

L'invention concerne donc un procédé d'ajustement de la durée d'une temporisation interne, à une valeur proche d'une valeur typique de cette durée, caractérisé en ce qu'il consiste à déclencher ladite temporisation interne dans ledit circuit intégré et à envoyer séquentiellement des valeurs d'étalonnage en entrée dudit circuit intégré, chaque valeur d'étalonnage étant égale au rapport de la valeur typique sur la durée écoulée depuis le déclenchement, l'expiration de la temporisation interne déterminant, comme donnée d'étalonnage dudit circuit intégré, la dernière valeur d'étalonnage reçue ou celle en train d'être reçue, ladite donnée d'étalonnage étant appliquée à un dispositif d'ajustement de la durée de la dite temporisation interne.

Selon une autre caractéristique, la temporisation interne étant fonction d'au moins une référence fournie par un circuit de référence, le dispositif d'ajustement est appliqué au dit circuit de référence.

L'invention concerne aussi un procédé d'ajustement d'une référence dans un circuit intégré. On prévoit

dans ledit circuit intégré un dispositif d'ajustement de la référence à ajuster à partir d'une donnée d'étalonnage et un circuit de génération d'une temporisation interne à partir de cette référence. En
 5 appliquant le procédé d'ajustement de la durée à la temporisation interne ainsi générée, on obtient la donnée d'étalonnage à appliquer au dispositif d'ajustement de cette référence.

L'invention concerne aussi un circuit intégré
 10 caractérisé en ce qu'il comprend un circuit de génération d'une temporisation interne à partir d'au moins une référence et des moyens d'ajustement de ladite référence, lesdits moyens d'ajustement
 15 comprenant des moyens d'enregistrement temporaire pour enregistrer des données envoyées sur une entrée de données du circuit intégré, lesdits moyens de mémorisation temporaire étant activés par le déclenchement de la temporisation interne, un élément
 20 de mémoire non volatile pour mémoriser la donnée contenue par lesdits moyens de mémorisation temporaire à l'expiration de ladite temporisation interne et au moins un dispositif d'ajustement d'un circuit de
 25 génération de ladite référence, la donnée contenue dans ledit élément de mémoire non volatile étant appliquée en entrée dudit dispositif d'ajustement.

L'invention concerne aussi un système de test de circuits intégrés en parallèle.

D'autres caractéristiques et avantages de l'invention sont détaillés dans la description suivante faite à
 30 titre indicatif et non limitatif et en référence aux dessins annexés, dans lesquels :

- la figure 1 déjà décrite montre la forme d'un signal de programmation appliqué aux cellules d'une mémoire EEPROM;

les figures 2a et 2b représentent un organigramme représentatif d'un procédé d'ajustement selon l'invention appliqué à un circuit intégré et un schéma-bloc correspondant du testeur et du circuit intégré;

5 - les figures 3a et 3b représentent l'évolution du facteur KE en fonction du temps, selon le principe d'évaluation utilisé dans l'invention;

- la figure 4 est un synoptique d'une mémoire EEPROM;

- la figure 5 représente de façon détaillée une circuiterie de programmation de mémoire EEPROM, y compris pour déterminer et programmer une donnée d'étalonnage selon le procédé de l'invention;

- la figure 6 est un chronogramme des signaux de programmation, lors de la phase de détermination et de programmation de la donnée d'étalonnage.

- la figure 7 représente un premier exemple de réalisation d'un dispositif permettant l'ajustement d'une durée; et

- la figure 8 représente un deuxième exemple de dispositif d'ajustement d'une durée.

Sur la figure 2a, on a représenté un organigramme d'un procédé d'ajustement d'une temporisation interne selon l'invention.

Un testeur émet un stimuli d'étalonnage ST vers un circuit intégré. Ce stimuli est détecté par le circuit intégré qui passe en mode d'étalonnage.

Dans l'exemple représenté, le testeur envoie ensuite une instruction INS1 du jeu d'instruction opérationnel du circuit intégré, cette instruction déclenchant la temporisation interne TEMP à ajuster.

Dans un exemple d'application du procédé d'ajustement à un circuit mémoire, pour ajuster la durée du signal de programmation, cette instruction sera une instruction

d'écriture normale, d'une donnée quelconque à une adresse quelconque.

On peut prévoir que le passage en mode d'étalonnage déclenche directement la temporisation interne. Mais
 5 utiliser le jeu d'instructions du circuit intégré permet avantageusement de ne pas avoir à développer trop de code programme de test spécifique dans le circuit intégré.

Le déclenchement de la temporisation autorisé (En) la
 10 réception de données.

Le testeur connaît le moment du déclenchement de la temporisation interne dans le circuit intégré, à partir du moment où il a envoyé l'instruction INS1. A partir de ce moment, il envoie successivement les valeurs
 15 d'étalonnage, K_1 , K_2 ..., en entrée du circuit intégré. Chacune de ces valeurs est égale au rapport de la valeur typique T_0 de la durée du signal de temporisation interne sur la durée écoulée au moment où elle est envoyée depuis le moment du déclenchement.

20 De préférence, le testeur envoie les valeurs d'étalonnage à la fréquence d'une horloge.

Si chaque valeur d'étalonnage est codée sur un octet et si $1/T_k$ est la fréquence d'envoi des octets par le testeur, les valeurs d'étalonnage successivement
 25 envoyées depuis le déclenchement sont: $K_1 = T_0/T_k$; $K_2 = T_0/2.T_k$; ... ; $K_n = T_0/n.T_k$.

Dans le cas où le circuit intégré suit un protocole série I2C de transmission de données, la période T_k d'envoi des octets est égale à $9.T_{ck}$, où T_{ck} est la
 30 période du signal d'horloge CK de la liaison série.

On notera que l'on pourrait très bien avoir une transmission série des données selon un autre protocole, tel que le protocole SPI ou Microware. On pourrait aussi avoir une transmission parallèle des

données. L'invention n'est pas limitée à un protocole de transmission des données.

La réception de données est désactivée (Des) dans le circuit intégré par l'expiration du signal de temporisation interne (FINTEMP). Le circuit intégré ne prend plus en compte aucune donnée présentée en entrée. On peut prévoir qu'il termine la réception de la donnée en cours de transmission (cas d'une transmission série).

10 Lorsque le signal de temporisation interne TEMP se termine (FINTEMP), la dernière valeur d'étalonnage envoyée, ou la valeur d'étalonnage en cours d'envoi (selon le circuit de gestion de réception de données) est la donnée d'étalonnage KE pour le circuit intégré
15 considéré.

On note KE, la donnée d'étalonnage du circuit intégré déterminée selon le procédé de l'invention.

Cette donnée est ensuite mémorisée dans un élément de mémoire non volatile : ce peut être un fusible, un
20 élément de mémoire EPROM ou EEPROM. Cette mémorisation peut être commandée par le testeur, comme représenté sur la figure 2a. Dans ce cas, le testeur émet une instruction INS2, correspondant de préférence à une instruction du jeu opérationnel du circuit intégré,
25 pour programmer cette donnée. Dans un exemple d'application du procédé d'ajustement à la durée de programmation dans un circuit mémoire, cette instruction INS2 sera une instruction d'écriture de la donnée K(E) à une adresse particulière. L'adresse de
30 programmation M(KE) de la donnée d'étalonnage K(E) est de préférence déterminée en interne dans le circuit intégré. Ainsi, en opérationnel, il n'est pas possible de modifier la donnée d'étalonnage mémorisée dans le circuit intégré.

Le procédé d'ajustement est terminé. Le circuit intégré sort du mode d'étalonnage.

En mode de fonctionnement opérationnel du circuit intégré, l'élément de mémoire non volatile M(KE) est lu et son contenu KE appliqué en entrée d'au moins un dispositif d'ajustement d'une référence, prévu dans le circuit intégré. On peut prévoir que la lecture de l'élément de mémoire non volatile est effectuée dans la phase d'initialisation du circuit intégré, déclenchée par sa mise sous tension.

Les valeurs d'étalonnage envoyées par le testeur, sont contenues en pratique sous forme d'une table (par exemple dans une puce). Cette table est établie une fois pour toutes pour une technologie de fabrication donnée.

Les figures 3a et 3b montrent, pour une technologie de fabrication donnée, la variation du facteur de proportionnalité $KE = Tr/T_0$, dans le cas d'un signal de programmation. Dans l'exemple, la valeur typique T_0 du signal de programmation est égale à 5 millisecondes.

Les valeurs de KE contenues dans la table du testeur correspondent en pratique à un échantillonnage à la fréquence d'horloge du testeur. Avec une fréquence d'horloge de 4Mhz, on prévoit que le testeur envoie une nouvelle valeur toutes les 0,25 millisecondes depuis le départ de la programmation, pendant la durée maximum de la programmation, typiquement 10 millisecondes. La table contient ainsi 40 valeurs de KE.

On peut aussi prévoir que le testeur ne commence à envoyer une valeur qu'à partir d'une durée minimum, par exemple, 2,5 millisecondes (Fig.3a). En dessous de cette durée, le circuit intégré n'est pas ajusté et sera mis au rebut.

Dans l'exemple en relation avec les figures 3a et 3b, le testeur envoie alors à $t=2,5\text{ms}$, la première valeur $K1=2=(5/2,5)$; à $t=2,75\text{ms}$, la deuxième valeur $K2=1.82=(5/2,75)$; ... etc jusqu'à $t=10\text{ms}$, la trente et unième valeur $K31=0.5=(5/10)$. La table d'étalonnage du testeur comprend alors trente et une valeurs.

Chaque circuit intégré étalonné selon l'invention enregistre comme donnée d'étalonnage la valeur d'étalonnage qui correspond à la durée réelle de son impulsion de programmation.

Un testeur mettant en œuvre le procédé d'ajustement selon l'invention comprendra alors typiquement, comme représenté sur la figure 2b, au moins un signal d'horloge CK, une table TAB de valeurs $K1...K40$ de la donnée d'étalonnage KE et un circuit de commande COM apte à lancer le mode d'étalonnage, déclencher la temporisation interne, contrôler l'envoi des valeurs d'étalonnage, et le cas échéant, commander la programmation de la donnée d'étalonnage.

Un circuit intégré auquel on veut appliquer le procédé d'ajustement selon l'invention, doit comprendre au moins un circuit de génération GEN-TEMP d'une temporisation interne TEMP, avec un dispositif AJUST d'ajustement de la durée associé, des moyens d'enregistrement temporaire REG, activés par le déclenchement de la temporisation interne, pour enregistrer les valeurs d'étalonnage reçues en entrée et désactivés après expiration de la temporisation (FINTEMP), et un élément de mémoire non volatile MEM(KE) pour contenir la donnée d'étalonnage contenue dans les moyens d'enregistrement temporaire. La donnée contenue dans l'élément de mémoire non volatile est appliquée en entrée du dispositif d'ajustement AJUST.

En pratique, un circuit intégré comprend généralement un registre d'entrée de données. C'est notamment le cas des circuits intégrés à mémoire, et des circuits à transmission série. Il faut donc principalement prévoir
5 de modifier la logique de contrôle CL du circuit intégré pour lui faire reconnaître le mode d'étalonnage et contrôler les différents éléments de façon appropriée. Il faut ensuite prévoir un dispositif d'ajustement de la référence. De tels dispositifs sont
10 à la portée de l'homme de l'art et dépendent principalement du circuit de référence en cause et de sa structure.

Le dispositif d'ajustement agit sur une référence dont dépend la durée de la temporisation interne, par
15 exemple, un courant de référence, ou la valeur d'une capacité.

Par extension, pour ajuster une référence quelconque dans le circuit intégré, par exemple une source de tension, ou une résistance, il suffit de convertir
20 cette référence en un courant par exemple, puis d'utiliser ce courant pour générer une temporisation dont la durée sera fonction de ce courant. On peut alors appliquer le procédé d'ajustement à cette temporisation. La donnée d'étalonnage ainsi déterminée
25 pourra être appliquée à un dispositif d'ajustement de la référence initiale, dans l'exemple, une tension ou une résistance.

L'invention va être plus particulièrement expliquée en prenant l'exemple d'une mémoire non volatile de type
30 EEPROM, dans un circuit intégré à accès série.

Mais l'invention s'applique de façon générale à tout circuit intégré comprenant une référence à laquelle on peut faire correspondre une temporisation interne, et

aussi bien aux circuits intégrés à accès série que parallèle.

Un synoptique général d'un circuit intégré à mémoire non volatile huit bits de type EEPROM à accès série, est représenté sur la figure 4.

Un tel circuit intégré comprend habituellement 8 broches externes b1 à b8, pas nécessairement toutes utilisées en opérationnel.

Dans un exemple, pour une interface série du type I2c, on a une broche b8 pour la tension d'alimentation Vdd ; une broche b4, pour la masse ; une broche b6 pour l'horloge CK (fil SDL du bus I2c), une broche b5 pour les données d'entrée et sortie (fil SDA du bus I2c).

Les autres broches b0, b1, b2 et b7 peuvent être utilisées à des fins de test en opérationnel.

Notamment, on peut prévoir que le stimuli ST d'activation du mode d'étalonnage selon l'invention représenté comme un code sur trois bits soit appliqué sur les broches b0, b1, b2.

Le circuit intégré comprend de façon habituelle un circuit logique CL, pour contrôler les échanges de données en entrée et en sortie sur le bus externe, et gérer les signaux internes de commande.

Il comprend en outre un plan mémoire 1 de cellules mémoire non volatile, de décodeurs d'adresse de rangée DECX et de colonnes DECY permettant l'accès à une ou plusieurs cellules de la mémoire, un circuit 2 de génération de l'impulsion de programmation et un circuit 3 de lecture.

De tels circuits sont bien connus de l'homme du métier. Pour permettre l'application d'un procédé d'ajustement de la durée d'une temporisation interne du circuit intégré selon l'invention, des moyens d'ajustement

doivent être prévus, comme indiqué sur le synoptique de la figure 2b.

Dans le cas d'un circuit intégré à mémoire, pour l'étalonnage du signal de programmation de la mémoire non volatile, on peut avantageusement utiliser des ressources de la mémoire. Notamment la circuiterie de programmation comprend un registre d'entrée de donnée de programmation, qui reçoit la donnée ou les données à programmer transmises en entrée de données du circuit intégré. Ce registre est contrôlé par le circuit logique CL.

Ce registre de la circuiterie de programmation peut être avantageusement utilisé pour enregistrer les valeurs d'étalonnage envoyées par le testeur.

L'élément de mémoire non volatile pour mémoriser la donnée d'étalonnage KE peut être pris dans le plan mémoire non volatile. Il est de préférence situé dans une zone d'adressage supplémentaire non accessible pour l'utilisateur.

Le circuit logique CL doit être modifié, pour contrôler de façon appropriée la réception de données en mode d'étalonnage. En effet, en mode de fonctionnement normal en écriture, quand le circuit logique CL a reçu une instruction de programmation d'une donnée à une adresse mémoire, il est désélectionné. Dans un exemple, il est désélectionné par le renvoi d'un signal de stop (protocole I2c - transition "0" vers "1" sur la ligne SDA sur le niveau haut d'une impulsion d'horloge). Dans un autre exemple, il est désélectionné par le signal de "chip select" (transmission parallèle, ou transmission série selon un protocole SPI). C'est la désélection qui lance la programmation. Le circuit intégré ne prend plus aucune donnée en entrée.

En mode page, par lequel on va écrire plusieurs octets en même temps sur une même rangée, à des adresses colonnes consécutives, le circuit intégré reçoit d'abord l'instruction de programmation, l'adresse de
 5 départ, les données, puis la désélection du circuit intégré lance la programmation.

Pour mettre en oeuvre le procédé d'ajustement selon l'invention, il faut d'abord déclencher une programmation, et après le déclenchement de la
 10 programmation, il faut que le circuit intégré puisse recevoir les valeurs d'étalonnage comme données d'entrée.

Selon l'invention, on prévoit un mode d'étalonnage, qui utilise la même logique de réception des données qu'en
 15 mode page, mais après le déclenchement de la programmation.

Ainsi, lorsque le circuit logique CL décode le stimuli ST, il passe en mode d'étalonnage. Dans ce mode, après réception d'une instruction de programmation (INS1), à
 20 une adresse quelconque ADXX, d'une donnée quelconque DXX, le circuit logique déclenche le signal de programmation PROG.

Il autorise alors l'enregistrement successif dans le registre d'entrée de donnée de programmation des
 25 valeurs d'étalonnage transmises.

La fin du signal de programmation stoppe cet enregistrement, soit immédiatement, pour garder comme valeur d'étalonnage du circuit intégré la dernière valeur reçue ou bien après la fin de la réception de la
 30 valeur d'étalonnage en cours de transmission. Le registre d'entrée (ou auxiliaire) contient alors la donnée d'étalonnage du signal de programmation PROGBIT du circuit intégré considéré.

Un procédé d'ajustement selon l'invention, appliqué à un tel circuit intégré permet donc d'ajuster la durée du signal de programmation des cellules du plan mémoire non volatile.

5 Après ajustement, la durée réelle T_r du signal de programmation PROGBIT est proche de la valeur typique T_0 déterminée pour la technologie de fabrication correspondante (courbe du facteur K_E des figures 3a et 3b). La précision de l'ajustement dépend de la
10 fréquence du signal d'horloge, c'est à dire du nombre de coups d'horloge émis pendant la durée de programmation.

Dans ce contexte, le procédé d'ajustement selon l'invention comprend pour le testeur les étapes
15 principales suivantes :

- envoi sur l'entrée de données SDA d'une instruction de programmation, avec une adresse quelconque ADXX, et une donnée quelconque DXX;

- envoi en séquence sur l'entrée de données SDA du
20 circuit intégré, des valeurs d'étalonnage K_i .

On peut en outre prévoir que le testeur envoie une instruction de programmation, pour programmer la donnée d'étalonnage K_E à une adresse réservée en mémoire non volatile.

25 De préférence, on prévoit une logique interne dans le circuit intégré pour lancer cette programmation.

Le fonctionnement du circuit intégré en mode d'étalonnage est détaillé, en relation avec les figures 5 et 6.

30 La figure 5 représente une circuiterie de programmation d'une mémoire non volatile, dans un exemple de circuit intégré à accès série.

Cette circuiterie de programmation comprend de façon simplifiée, un registre d'adresse 10, du type registre

à décalage à fonctionnement en compteur (gestion de mode page). Ce registre d'adresse reçoit en entrée de données, le signal SDA de l'interface série, le signal d'horloge SDL de l'interface série et un signal de validation du décalage Shift1, généré par le circuit logique de contrôle CL.

Dans l'exemple, les sorties a7-a3 de ce registre 10 forment l'adresse de rangée du mot mémoire à programmer, et sont appliquées en entrées du décodeur de rangée DECY. Les sorties a2-a0 de ce registre sont appliquées en entrées du décodeur de ligne de bit (DECX).

Le signal de validation Shift1 est activé pendant les huit coups d'horloge suivant la réception du code instruction PROG (FIG.6), pour enregistrer les huit bits d'adresse dans le registre 10.

Dans l'exemple, le registre d'adresse reçoit en outre des signaux de contrôle de mode page, INC et INC-ROW, avec une logique 11 associée. Ces signaux permettent l'incrémement automatique de l'adresse de rangée en mode page (fonctionnement en compteur).

Le mode page est un mode de programmation bien connu par lequel on présente la première adresse, puis les données à programmer à partir de cette adresse. Le circuit CL fournit le signal d'incrémement d'adresse colonne, INC, pour appliquer chaque nouvelle donnée de programmation aux latches de la colonne associée.

Le signal INC-Row est un signal d'incrémement de rangée, utilisé en lecture.

La circuiterie de programmation comprend aussi un registre 20 d'entrée de données de programmation, du type registre à décalage. Ce registre d'entrée de donnée de programmation reçoit en entrée de donnée, le signal SDA de l'interface série et un signal de

commande d'enregistrement Shift2, généré par le circuit logique de contrôle CL.

Le circuit logique de contrôle CL est séquencé par le signal d'horloge CK.

5 En mode opérationnel, normal du circuit intégré, la programmation d'une donnée à une adresse de la mémoire se passe comme suit.

Le circuit est sélectionné pour un protocole série type I2C : (code de sélection reçu sur la ligne SDA et
10 décodé par le circuit logique CL de la mémoire correspondant à une transition "1" vers "0" sur le niveau haut d'une impulsion d'horloge. Ce code ne correspondant pas à un bit de donnée sur la ligne SDA, il n'est pas représenté sur la figure 6). Une demande
15 de programmation PROG est reçue.

Le circuit logique de contrôle CL active alors le signal de commande du registre d'adresse Shift1, pour permettre l'enregistrement des huit bits d'adresse
20 transmis en série sur la ligne SDA. Après huit coups d'horloge, les huit bits d'adresse ADXX sont enregistrés, et appliqués en entrée des décodeurs DECX et DECY.

Le circuit logique de contrôle CL active ensuite le signal de commande Shift2 du registre de données, pour
25 une durée correspondante à la réception de la donnée (soit huit coups d'horloge) pour enregistrer la donnée à programmer.

A la retombée du signal Shift2, le circuit logique de contrôle CL est désélectionné autrement dit, il ne
30 prend plus en compte les données qu'il pourrait recevoir de l'interface série SDA. La désélection lance la programmation de la donnée contenue dans le registre 20 à l'adresse mémoire sélectionnée, en activant le signal PROGBIT. Ce signal est notamment appliqué à un

circuit de génération 2 du signal de programmation (haute tension) PROGBIT, appliqué aux décodeurs.

En mode d'étalonnage selon l'invention, lorsque le circuit intégré reçoit une commande de programmation, le fonctionnement du circuit logique de contrôle est modifié, pour permettre l'enregistrement des valeurs d'étalonnage envoyées par le testeur, dans le registre de donnée 20, jusqu'à la fin du signal de programmation. La dernière valeur enregistrée est la donnée d'étalonnage KE, à programmer ensuite à une adresse réservée, prédéfinie dans le circuit intégré, de la mémoire non volatile. La modification tient notamment dans la génération du signal Shift2. En mode d'étalonnage, ce signal Shift2 ne retombe pas avant que la programmation soit lancée, mais seulement après la fin du signal de programmation PROGBIT. Tant qu'il est actif, le registre de donnée 20 continue de prendre en compte les bits appliqués en entrée SDA.

Ainsi, lorsque le circuit logique décode le stimuli ST appliqué dans l'exemple, sur les broches b0, b1, b2, il passe en mode d'étalonnage pour générer de façon appropriée le signal Shift2.

Le procédé d'ajustement consiste alors, comme représenté sur la figure 6:

- à sélectionner le circuit intégré.

- à lancer une programmation à une adresse quelconque ADXX avec une donnée de programmation quelconque DXX;

- à envoyer en séquence les valeurs d'étalonnage (issues de la table du testeur) : K1, K2, ..., Kn, Kn+1. Le début de l'envoi de ces données coïncide théoriquement avec le départ de la programmation (PROGBIT à 1).

- Le signal Shift2 reste activé jusqu'à ce que le signal de programmation PROGBIT repasse à zéro.

Dans une première variante, représentée sur la figure 6, la retombée du signal Shift2 (à 0) est commandée par la fin de la programmation (PROGBIT à 0) et la réception des huit bits de données. En d'autres termes, Shift2 repasse à zéro au premier coup d'horloge multiple de huit après que PROGBIT soit retombé à 0. Dans cet exemple, en rapport avec la figure 6, c'est la valeur Kn qui est contenue dans le registre de donnée 20.

Dans une autre variante, la donnée d'étalonnage est la dernière valeur reçue. Dans ce cas, on prévoit un registre auxiliaire (non représenté) dans lequel on transfère, tous les huit coups d'horloge, le contenu du registre de donnée 20. Lorsque le signal PROGBIT de programmation retombe, le signal Shift2 est désactivé. La donnée d'étalonnage KE est alors la valeur contenue dans le registre auxiliaire, Kn-1 dans l'exemple de la figure 6.

Toutes ces variantes sont aisées à implémenter et ne nécessitent que peu de logique supplémentaire dans le circuit logique de contrôle CL.

Côté testeur, comme il n'y a pas de retour d'information prévue (test en parallèle), on prévoit en pratique qu'il envoie systématiquement toutes les valeurs contenues dans sa table (soit par exemple, 40 valeurs).

Quand il a fini d'envoyer toutes les valeurs, il est certain que chaque circuit intégré contient la donnée d'étalonnage qui lui convient, soit dans le registre de données 20, soit dans un registre auxiliaire. Il peut donc lancer une opération de programmation de la donnée d'étalonnage KE à une adresse réservée. Cette programmation suit le mode normal de programmation, à l'exception du fait que l'adresse est imposée en

interne, par exemple, par un bit de forçage d'adresse AM(KE) qui permet de sélectionner directement la colonne et la rangée correspondant à l'élément mémoire M(KE) où la valeur K(E) doit être programmée (figure 5).

5 Dans une variante représentée sur le chronogramme de la figure 6, c'est le circuit intégré lui-même qui lance la programmation de la donnée d'étalonnage. En effet le circuit est capable de savoir quand la valeur de KE est déterminée et contenue dans le registre de donnée par
10 les signaux logiques qui vont bloquer cette valeur dans le registre de donnée (ou un registre auxiliaire) (notamment par la retombée du signal Shift2). Le circuit logique peut lancer dans la foulée la programmation de cette valeur.

15 Le procédé d'ajustement selon l'invention appliqué à un circuit intégré à mémoire nécessite donc des modifications mineures à la portée de l'homme de l'art. Il est compatible avec un test de circuits en parallèle.

20 Le procédé d'ajustement selon l'invention ne se limite pas à des applications à des circuits intégrés à transmission série de données, selon un protocole I2c. Il est généralement applicable à tous circuits intégrés et à tout type de protocole de transmission de données.

25 Notamment, dans le cas d'un protocole de transmission parallèle, chaque nouvelle valeur d'étalonnage est présentée par le testeur avec une nouvelle adresse. Le circuit de détection de transition d'adresse du circuit intégré détecte chaque changement d'adresse et provoque
30 l'enregistrement de la valeur d'étalonnage associée dans un registre d'entrée.

La donnée d'étalonnage KE déterminée selon le procédé de l'invention et mémorisée dans un élément de mémoire non volatile MEM(KE) doit être appliquée à au moins un

dispositif d'ajustement associé, pour activer un nombre correspondant de branches d'ajustement. En pratique, la donnée d'étalonnage KE est codée sous forme d'un octet. Sur la figure 3a, on a ainsi donné un exemple de codage binaire des valeurs de KE .

Dans cet exemple,
 à $KE = 2$ on fait correspondre 64 dans la table des valeurs d'étalonnage;
 à $KE = 1,5$ on fait correspondre 48
 10 à $KE = 1$, on fait correspondre 32
 et à $KE = 0,5$ on fait correspondre 16.

La valeur d'étalonnage KE déterminée par le procédé d'ajustement est mémorisée dans un élément de mémoire non volatile $M(KE)$. On prévoit qu'à la mise sous-tension
 15 du circuit intégré, une opération de lecture de cet élément mémoire permet de positionner un registre d'entrée $R(KE)$ du dispositif d'ajustement.

20 Sur les figures 7 et 8, on a représenté deux exemples de réalisation d'un dispositif d'ajustement d'une référence.

Le premier exemple de réalisation, figure 7, permet d'ajuster une intensité de courant de référence, par
 25 exemple le courant de charge et de décharge d'un condensateur (non représenté).

Dans l'exemple la source de courant 40 à ajuster fournit en sortie une tension V_{ref1} . Cette tension devrait être appliquée dans un circuit 41 à miroir de
 30 courant pour commander un courant de référence I_{ref1} dans ce circuit.

Selon l'invention, un dispositif d'ajustement 42 du courant I_{ref1} est placé entre la sortie de la source de tension et l'entrée du circuit 41.

Ce dispositif d'ajustement comprend un registre $R(KE)$, initialisé avec la donnée d'étalonnage KE . Si dans un exemple pratique, pour la valeur maximum de KE , 2 dans l'exemple (figure 3a), le registre $R(KE)$ est initialisé à 64, 7 bits de codage sont nécessaires : k_0 à k_6 . Dans ce cas 7 étages d'ajustement sont prévus, permettant de mettre de 1 à 127 branches d'ajustement en service, selon la valeur de KE .

Le dispositif d'ajustement représenté sur la figure 7 est basé sur une structure à miroir de courant, pour fournir en sortie une tension de référence V_{ref2} . De cette façon, on va commander un courant ajusté I_{ref2} , au lieu de I_{ref1} , dans le circuit 41, avec I_{ref2} égal à $KE \cdot I_{ref1}$.

Dans l'exemple, la structure à miroir de courant du dispositif d'ajustement 42 de courant comprend deux branches, à transistors MOS.

Une première branche comprend un transistor TA monté en diode, connecté entre la tension d'alimentation V_{dd} et un nœud NA , et m étages en parallèle, connectés chacun entre le nœud NA et la masse et commandés par la tension de référence V_{ref1} . Chacun de ces étages comprend un premier transistor $TA1$ connecté au nœud NA , et en série avec un deuxième transistor $Ta1$, qui est lui-même connecté à la masse. Le transistor TA est commandé sur sa grille par la tension V_{ref1} , et le transistor Ta est toujours passant (grille à V_{cc} dans l'exemple). Chaque étage ($TA1$, $Ta1$) appelle donc un courant I_{ref1} , en sorte que l'on retrouve un courant $m \cdot I_{ref1}$ dans le transistor TA .

La deuxième branche comprend un transistor TB connecté en diode, entre la tension d'alimentation V_{dd} et un nœud NB et six étages d'ajustement E_0 à E_6 , un par bit de codage de la donnée d'étalonnage KE .

L'étage E0 de rang 0, comprend une branche d'ajustement commandée par le bit k0 de la donnée d'étalonnage KE. L'étage E6 de rang 6 comprend 64 branches d'ajustement en parallèle, commandées par le bit k6 de la donnée d'étalonnage KE.

Chaque branche d'ajustement comprend un transistor TB1 connecté au nœud NB, en série avec un autre transistor Tbl connecté à la masse. Le transistor TB1 est monté en diode. Le transistor Tbl est commandé par le bit correspondant de la donnée d'étalonnage KE.

Ainsi l'étage Ei de rang i comprend 2^i branches d'ajustement (TB1, Tbl), toutes commandées par le bit ki de rang i de la donnée d'étalonnage KE.

Ainsi, en fonction du nombre de branches d'ajustement mises en service par la donnée d'enregistrement KE, on obtient au nœud B une tension de référence Vref2, par laquelle on commande un courant Iref2 égal à Iref1/KE dans le circuit 41. Si p est le nombre de branches mises en service par la donnée KE, on a en effet un courant p.Iref2 dans le transistor TB, qui, par l'effet miroir de courant TA/TB, est égal à m.Iref1. Soit $Iref2 = m/p Iref1$.

Les m étages commandés par Vref1 sont nécessaires pour couvrir tous les cas de KE. Si KE est supérieur à 1, il faut en effet baisser le courant, mais si KE est inférieur à 1, il faut au contraire augmenter le courant. Dans le premier cas, on aura $m > p$ et dans l'autre, $p > m$.

Le dispositif d'ajustement correspondant à la figure 8, permet d'ajuster la capacité d'un condensateur C selon sensiblement le même principe : les bits de donnée KE permettent de mettre plus ou moins de condensateurs en parallèle.

Dans l'exemple de l'étalonnage du signal de programmation, le condensateur à ajuster est chargé et déchargé par un courant de référence, pour fournir en sortie un signal de durée calibrée.

5 Le dispositif d'ajustement 30 comprend n étages, un par bit k_i de la donnée d'étalonnage KE .

Ces étages du dispositif d'ajustement sont connectés en parallèle entre un noeud N et la masse.

Si C_{init} est la capacité réelle du condensateur à ajuster, le dispositif d'ajustement permet d'obtenir, 10 une capacité équivalente à $KE.C_{init}$.

L'étage de rang 0, E_0 comprend un condensateur d'ajustement C_a , et un circuit 31 de type pass-gate, commandé par le bit k_0 de la donnée d'étalonnage KE .

15 L'étage de rang i , E_i , comprend 2^i condensateurs d'ajustement C_a en parallèle, et une porte de transfert 31 de type pass-gate commandée par le bit k_i de la donnée d'étalonnage KE .

La donnée d'étalonnage KE commande ainsi la mise en 20 parallèle effective de KE condensateurs C_0 . On obtient une capacité équivalente à $KE.C_0$.

En pratique, on notera que les dispositifs d'ajustement sont inclus dans le circuit intégré. Il faut donc que le registre $R(KE)$ soit pré-initialisé pour connecter au 25 moins une branche d'ajustement. On sait positionner un registre à une valeur voulue, par exemple au moyen d'une logique appropriée. On note K_i cette valeur d'initialisation. Alors, la valeur d'étalonnage KE mesurée selon l'invention et à appliquer au dispositif d'ajustement doit être en fait $KE.K_i$. En pratique, tous les circuits intégrés ont leur registre $R(KE)$ pré-initialisés à la même valeur K_i . Il suffit donc d'appliquer le facteur K_i aux valeurs de la table d'étalonnage contenues dans le testeur.

En outre, si on pré-initialise le registre $R(K_E)$ à la valeur moyenne 32 correspondant à $K_E = 1$, comme représenté sur la figure 3a, la dynamique de codage est en pratique inchangée.

5 Si l'on initialise à une autre valeur, cela revient à décaler les valeurs de K_E vers le haut ($K_I > 1$) ou vers le bas ($K_I < 1$).

D'autres réalisations de dispositifs d'ajustement sont possibles, en fonction notamment de la structure du circuit de référence à ajuster.

10 Si la référence ajustée est appliquée dans différents circuits du circuit intégré, par exemple, comme représenté sur la figure 7, si le circuit de référence de courant 40 est appliqué à deux circuits différents
15 41 et 41', l'ajustement s'applique aux deux circuits 41 et 41'.

En outre, comme la dispersion des caractéristiques liées au procédé de fabrication agit de la même façon, au premier ordre, sur tous les éléments du circuit
20 intégré, on peut appliquer la donnée d'équilibrage à plusieurs dispositifs d'ajustement du même type de référence. Par exemple, on peut prévoir d'ajuster ainsi plusieurs sources de référence de courant. Le dispositif d'ajustement est le même pour chacune.

25 Un seul étalonnage est nécessaire basé sur une temporisation interne reliée à une des références en question, et la donnée d'étalonnage s'applique à toutes ces sources.

L'invention qui vient d'être décrite peut être
30 appliquée pour étalonner différents types de références dans un circuit intégré, pourvu qu'elles soient reliées à une temporisation interne que l'on sait activer en externe, comme le signal de programmation.

Il permet d'améliorer les caractéristiques des circuits intégrés, avec un étalonnage proche des valeurs typiques, ce qui améliore leur fiabilité en opérationnel et de réduire le nombre de circuits intégrés à mettre au rebut.

En outre il permet d'étalonner en aveugle des circuits intégrés en parallèle, puisque c'est chaque circuit qui détermine sa propre valeur d'étalonnage, le testeur se contentant de déclencher la temporisation interne voulue et d'envoyer la suite de valeurs d'étalonnage.

REVENDICATIONS

1. Procédé d'ajustement de la durée d'une temporisation interne, à une valeur proche d'une valeur typique (T0) de cette durée, caractérisé en ce qu'il consiste à déclencher ladite temporisation interne (TEMP) dans
5 ledit circuit intégré et à envoyer séquentiellement des valeurs d'étalonnage (K1, K2) en entrée dudit circuit intégré, l'expiration de la temporisation interne déterminant comme donnée d'étalonnage (Ke) dudit circuit intégré, la dernière valeur d'étalonnage reçue ou celle
10 en train d'être reçue, ladite donnée d'étalonnage étant appliquée à un dispositif d'ajustement (AJUST) de la durée de la dite temporisation interne.
2. Procédé d'ajustement selon la revendication 1, caractérisé en ce que chaque valeur d'étalonnage
15 correspond au rapport de la valeur typique (T0) sur la durée totale écoulée depuis le départ de la temporisation interne jusqu'au moment où cette valeur est envoyée.
3. Procédé d'ajustement selon la revendication 2,
20 caractérisé en ce que le dispositif d'ajustement est pré-initialisé à une valeur d'initialisation (K1).
4. Procédé d'ajustement selon la revendication 3, chaque valeur d'étalonnage envoyée est affectée d'un facteur correspondant à ladite valeur d'initialisation.
- 25 5. Procédé d'ajustement selon l'une quelconque des revendications précédentes, caractérisé en ce que la

première valeur d'étalonnage est envoyée après écoulement d'une durée minimum (dm) de la temporisation interne.

6. Procédé d'ajustement selon l'une quelconque des revendications précédentes, ladite temporisation interne (TEMP) étant fonction d'au moins une référence fournie par un circuit de référence, caractérisé en ce que le dispositif d'ajustement (AJUST) est appliqué au dit circuit de référence.

7. Procédé d'ajustement d'une référence (Iref) dans un circuit intégré, caractérisé en ce qu'il consiste à prévoir, dans ledit circuit intégré, un dispositif d'ajustement (AJUST) de ladite référence à partir d'une donnée d'étalonnage (KE) et un circuit de génération (GEN-TEMP) d'une temporisation interne (TEMP) à partir de ladite référence (Iref), et à appliquer un procédé d'ajustement de la durée selon l'une des revendications 1 à 4 à la temporisation interne (TEMP) ainsi générée, pour obtenir la donnée d'étalonnage (KE) à appliquer au dispositif d'ajustement de la dite référence (Iref).

8. Procédé d'ajustement d'une référence selon la revendication 7, caractérisé en ce que le circuit de référence ajusté est une source de courant (Iref1).

9. Procédé d'ajustement selon la revendication 7, caractérisé en ce que le circuit de référence ajusté est un condensateur (Cref) ou réseau de condensateurs.

10. Procédé d'ajustement d'une référence selon l'une quelconque des revendications 7 à 9, caractérisé en ce que la donnée d'étalonnage (KE) est appliquée à un

dispositif d'ajustement (AJUST1) d'un autre circuit de référence, ayant une structure identique qu'un circuit de référence associé à ladite temporisation interne (TEMP).

5 11. Procédé d'ajustement d'une durée selon l'une des revendications 1 à 6 précédentes, caractérisé en ce qu'il est appliqué à un circuit intégré à mémoire non volatile, pour ajuster la durée d'un signal de programmation (PROG) de ladite mémoire.

10 12. Procédé d'ajustement selon la revendication 11, caractérisé en ce qu'il comprend :

- le lancement d'une programmation d'une donnée quelconque (DXX) à une adresse quelconque (ADXX) dans le circuit intégré;
- 15 -l'envoi successif en entrée de donnée des valeurs d'étalonnage du circuit intégré,
- la fin de la programmation de la donnée quelconque (DXX) déterminant comme donnée d'étalonnage (KE), la dernière valeur d'étalonnage (K_{n-1}) reçue ou la valeur
- 20 d'étalonnage (K_n) en train d'être reçue par le circuit intégré.

13. Procédé d'ajustement selon la revendication 12, caractérisé en ce qu'il consiste, après l'envoi de toutes les valeurs d'étalonnage définies pour ladite temporisation interne en fonction des spécifications du circuit intégré, à lancer une programmation dans le circuit intégré, pour programmer la donnée d'étalonnage (KE).

14. Procédé d'ajustement selon la revendication 12 ou 30 13, caractérisé en ce que la donnée d'étalonnage est

programmée à une adresse mémoire (M(KE)) déterminée en interne du circuit intégré.

15. Procédé d'ajustement selon la revendication 13 ou 14, caractérisé en ce qu'il consiste pour le circuit intégré à lancer en interne la programmation de la donnée d'étalonnage (KE).

16. Procédé d'ajustement selon la revendication 13 ou 14, caractérisé en ce que le circuit intégré reçoit une commande programmation de la donnée d'étalonnage.

10 17. Procédé d'ajustement selon l'une quelconque des revendications 11 à 16, caractérisé en ce que les valeurs d'étalonnage sont enregistrées dans un registre d'entrée de données du circuit intégré.

18. Circuit intégré caractérisé en ce qu'il comprend
 15 un circuit de génération d'une temporisation interne (TEMP) à partir d'au moins une référence et des moyens d'ajustement de ladite référence, lesdits moyens d'ajustement comprenant des moyens d'enregistrement temporaire (REG) pour enregistrer des données (K1)
 20 envoyées sur une entrée de données du circuit intégré après un déclenchement de ladite temporisation interne, un élément de mémoire non volatile (MEM(KE)) pour mémoriser la donnée (KE) contenue par lesdits moyens de mémorisation temporaire (REG) à l'expiration de ladite
 25 temporisation interne et au moins un dispositif d'ajustement (AJUST) d'un circuit de génération de ladite référence, la donnée contenue dans ledit élément de mémoire non volatile étant appliquée en entrée dudit dispositif d'ajustement.

19. Circuit intégré selon la revendication 18, caractérisé en ce qu'il comprend un ou plusieurs circuits de référence associés au circuit de génération de la temporisation interne, un premier dispositif d'ajustement d'un desdits circuits de référence associés au circuit de génération de la temporisation interne et au moins un deuxième dispositif d'ajustement d'un autre circuit de référence non associé au circuit de génération de la temporisation interne, cet autre circuit de référence ayant une structure identique à l'un des circuits de référence associés au circuit de génération de la temporisation interne et la donnée contenue dans l'élément de mémoire non volatile étant appliquée aux dits premier et deuxième dispositifs d'ajustement.

20. Circuit intégré selon la revendication 18 ou 19 comprenant une mémoire non volatile, caractérisé en ce que le signal de temporisation interne est le signal de programmation (PROG) de cette mémoire et en ce que les moyens de mémorisation temporaire comprennent un registre d'entrée de donnée.

21. Circuit intégré selon l'une des revendications 18 à 20, caractérisé en ce qu'un dispositif d'ajustement est appliqué à un circuit de référence de courant.

22. Circuit intégré selon l'une des revendications 18 à 20, caractérisé en ce qu'un dispositif d'ajustement est appliqué à un circuit de référence de type condensateur ou réseau de condensateurs.

23. Circuit intégré selon l'une des revendications 18 à 20, caractérisé en ce qu'un dispositif d'ajustement

est appliqué à un circuit de référence de type résistance ou réseau de résistances.

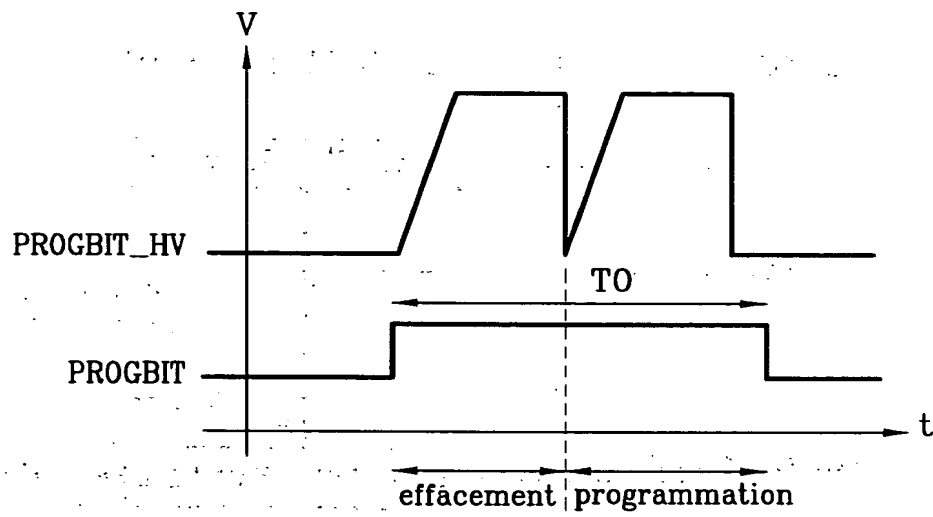
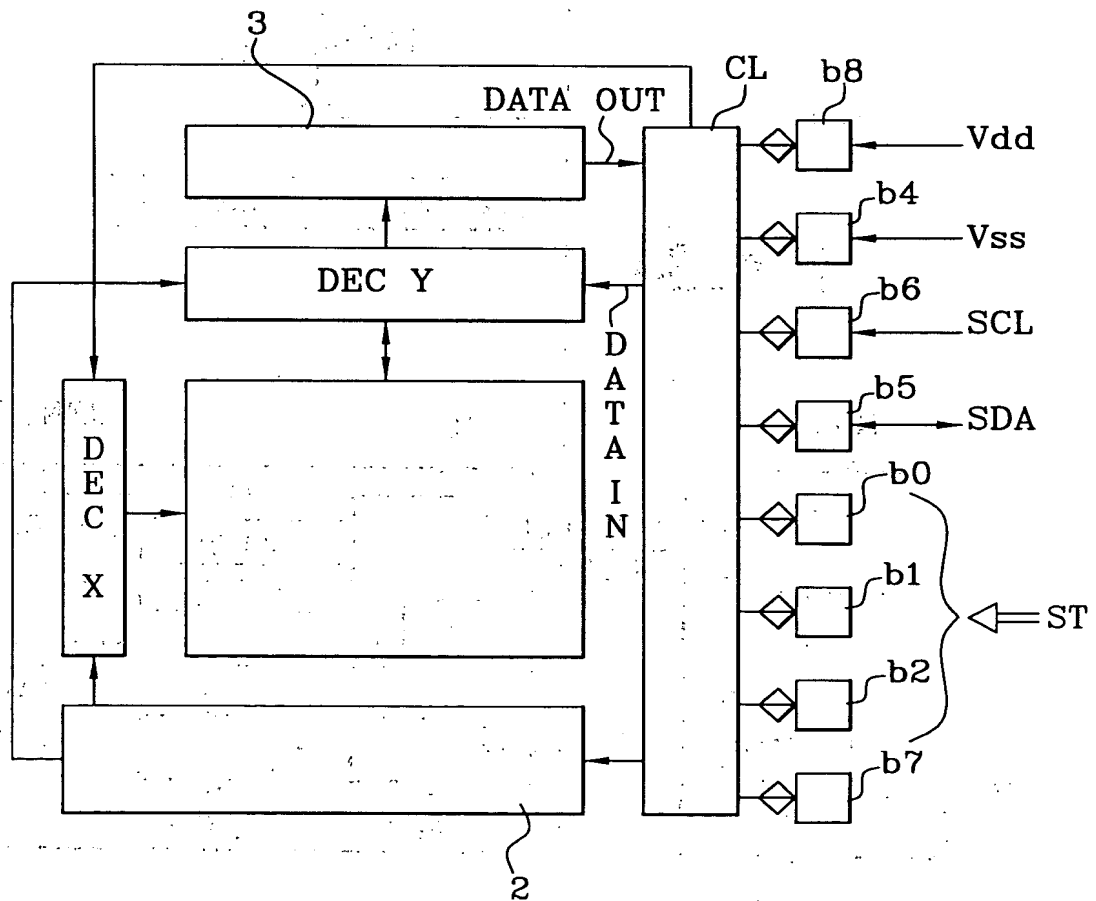
24. Système de test en parallèle de circuits intégrés d'une même technologie, caractérisé en ce que ledit système comprend une table (TAB) de valeurs d'étalonnage d'une temporisation interne desdits circuits intégrés pour ajuster la temporisation interne ou au moins une référence associée dans chacun desdits circuits intégrés, en leur appliquant simultanément un procédé d'ajustement selon l'une quelconque des revendications 1 à 17.

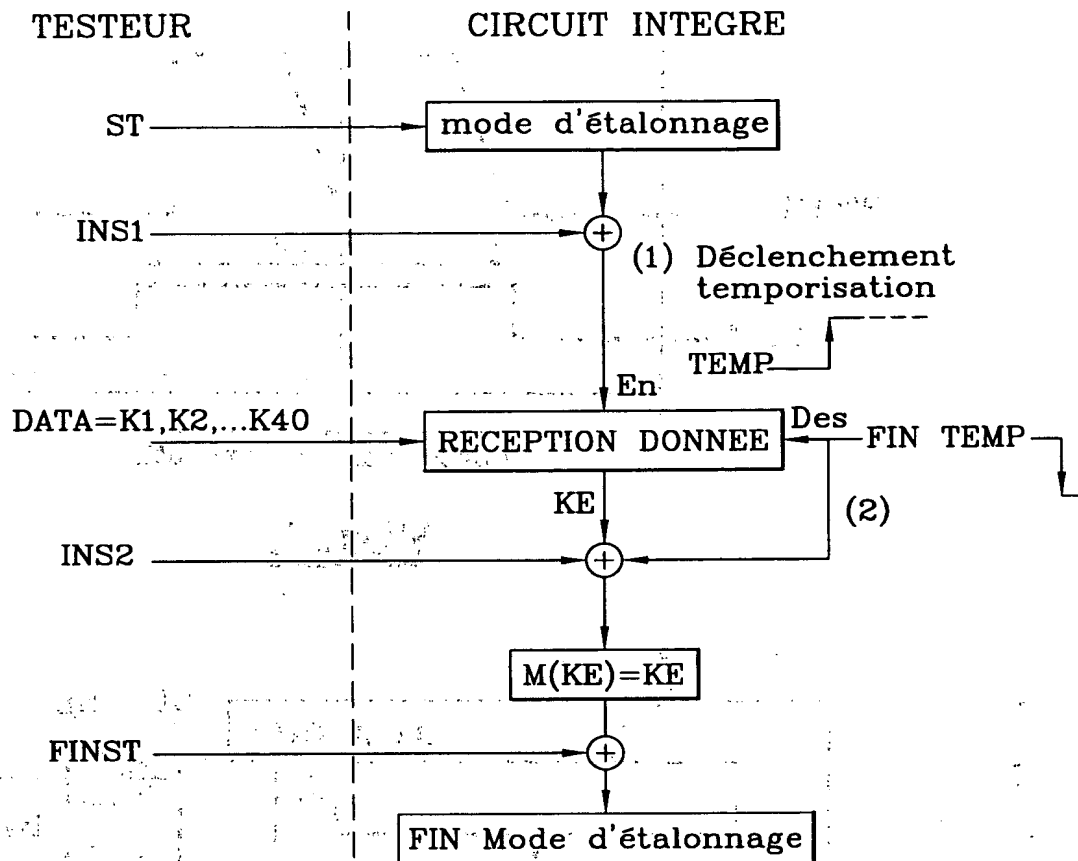
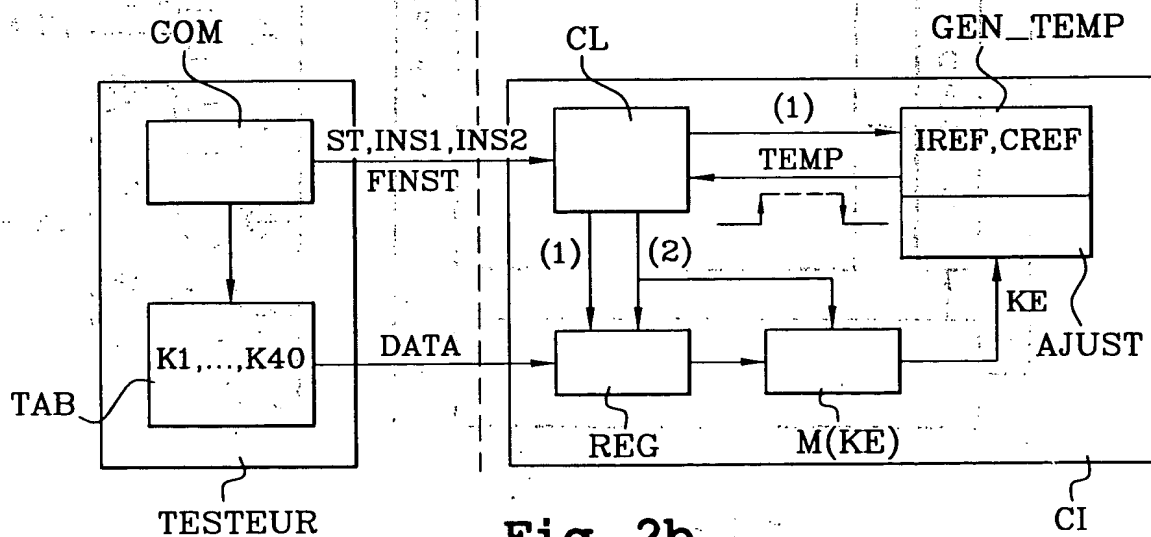
25. Système de test en parallèle de circuits intégrés d'une même technologie, caractérisé en ce que ledit système comprend une table (TAB) de valeurs d'étalonnage d'une temporisation interne desdits circuits intégrés pour ajuster la temporisation interne ou au moins une référence associée dans chacun desdits circuits intégrés, en leur appliquant simultanément un procédé d'ajustement selon l'une quelconque des revendications 1 à 17.

26. Système de test en parallèle de circuits intégrés d'une même technologie, caractérisé en ce que ledit système comprend une table (TAB) de valeurs d'étalonnage d'une temporisation interne desdits circuits intégrés pour ajuster la temporisation interne ou au moins une référence associée dans chacun desdits circuits intégrés, en leur appliquant simultanément un procédé d'ajustement selon l'une quelconque des revendications 1 à 17.

27. Système de test en parallèle de circuits intégrés d'une même technologie, caractérisé en ce que ledit système comprend une table (TAB) de valeurs d'étalonnage d'une temporisation interne desdits circuits intégrés pour ajuster la temporisation interne ou au moins une référence associée dans chacun desdits circuits intégrés, en leur appliquant simultanément un procédé d'ajustement selon l'une quelconque des revendications 1 à 17.

28. Système de test en parallèle de circuits intégrés d'une même technologie, caractérisé en ce que ledit système comprend une table (TAB) de valeurs d'étalonnage d'une temporisation interne desdits circuits intégrés pour ajuster la temporisation interne ou au moins une référence associée dans chacun desdits circuits intégrés, en leur appliquant simultanément un procédé d'ajustement selon l'une quelconque des revendications 1 à 17.

**Fig. 1****Fig. 4**

**Fig. 2A****Fig. 2b**

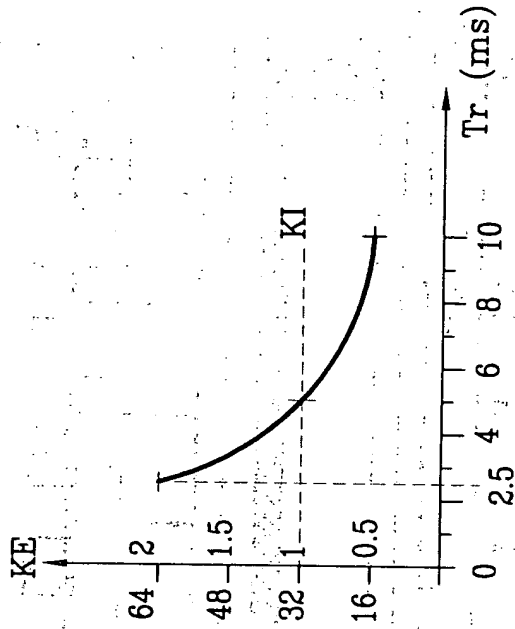


Fig. 3a

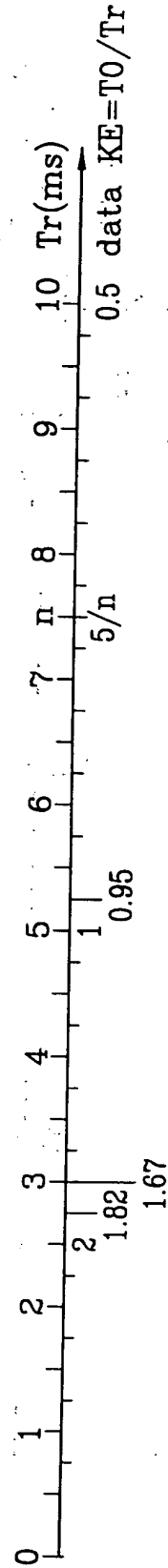


Fig. 3b

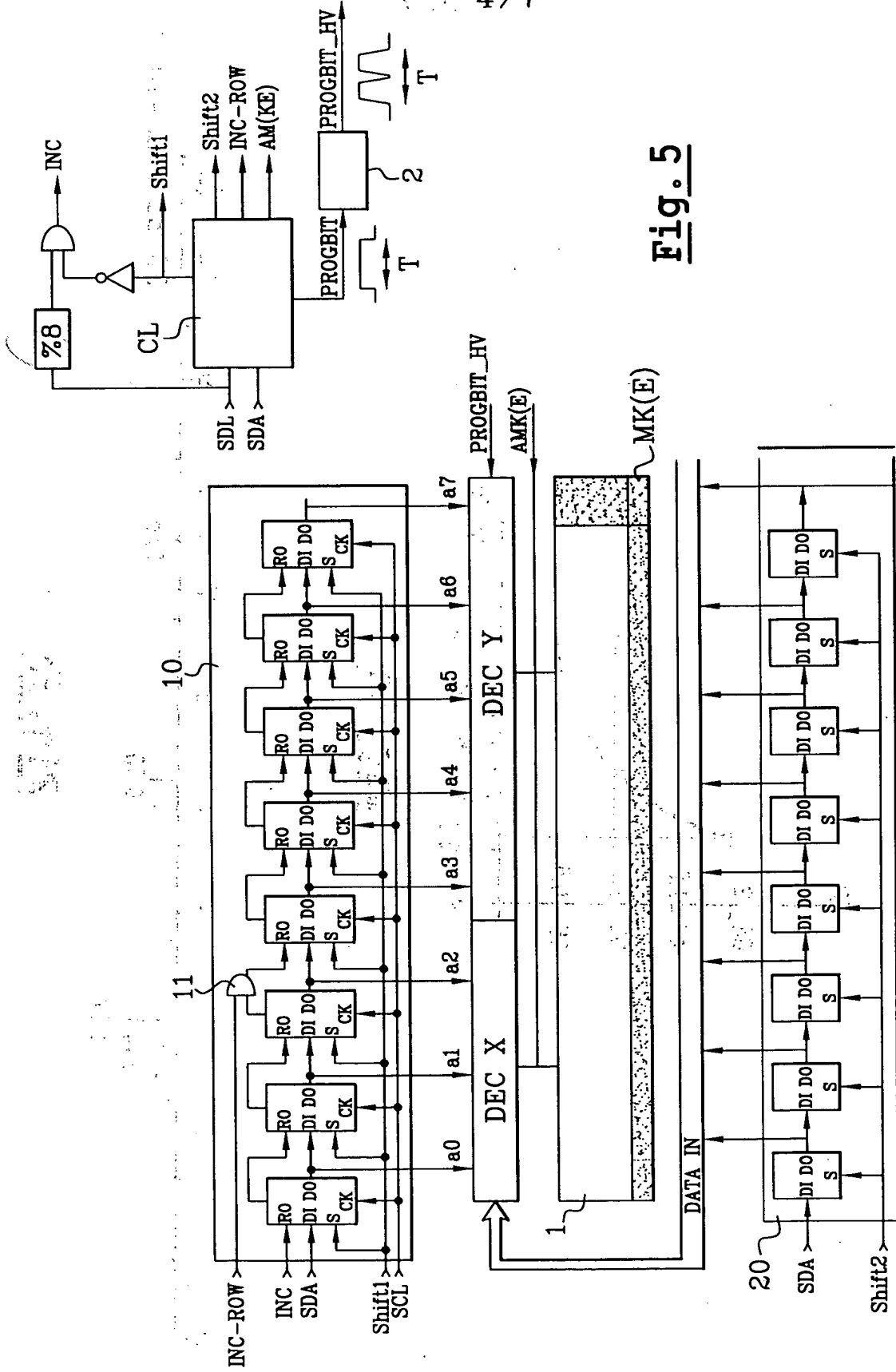


Fig. 5

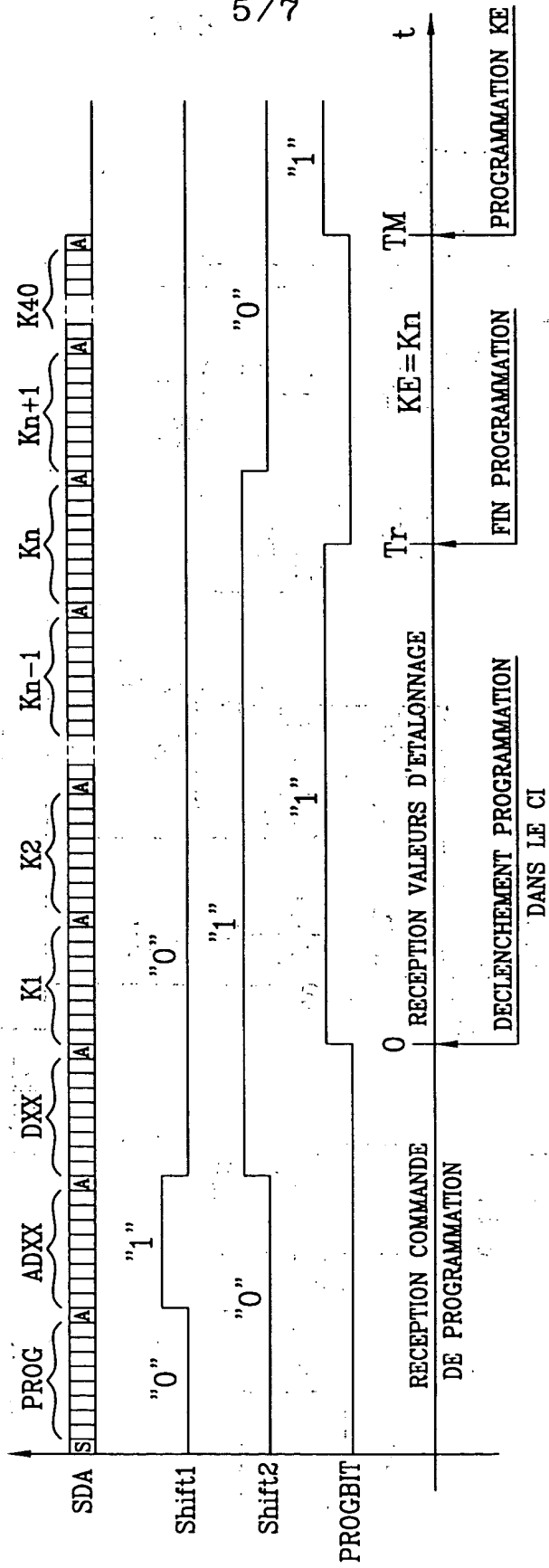


Fig. 6

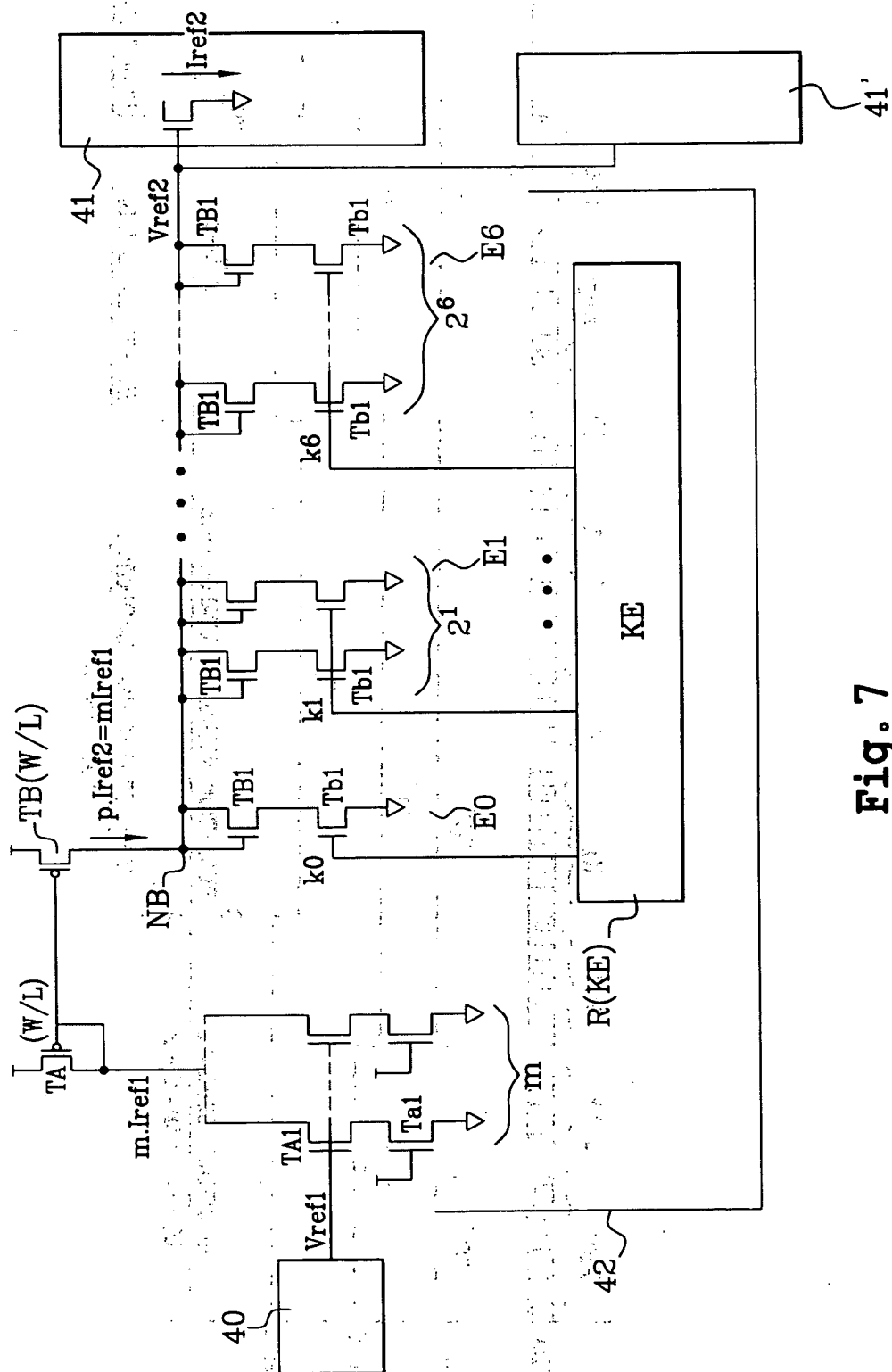


Fig. 7

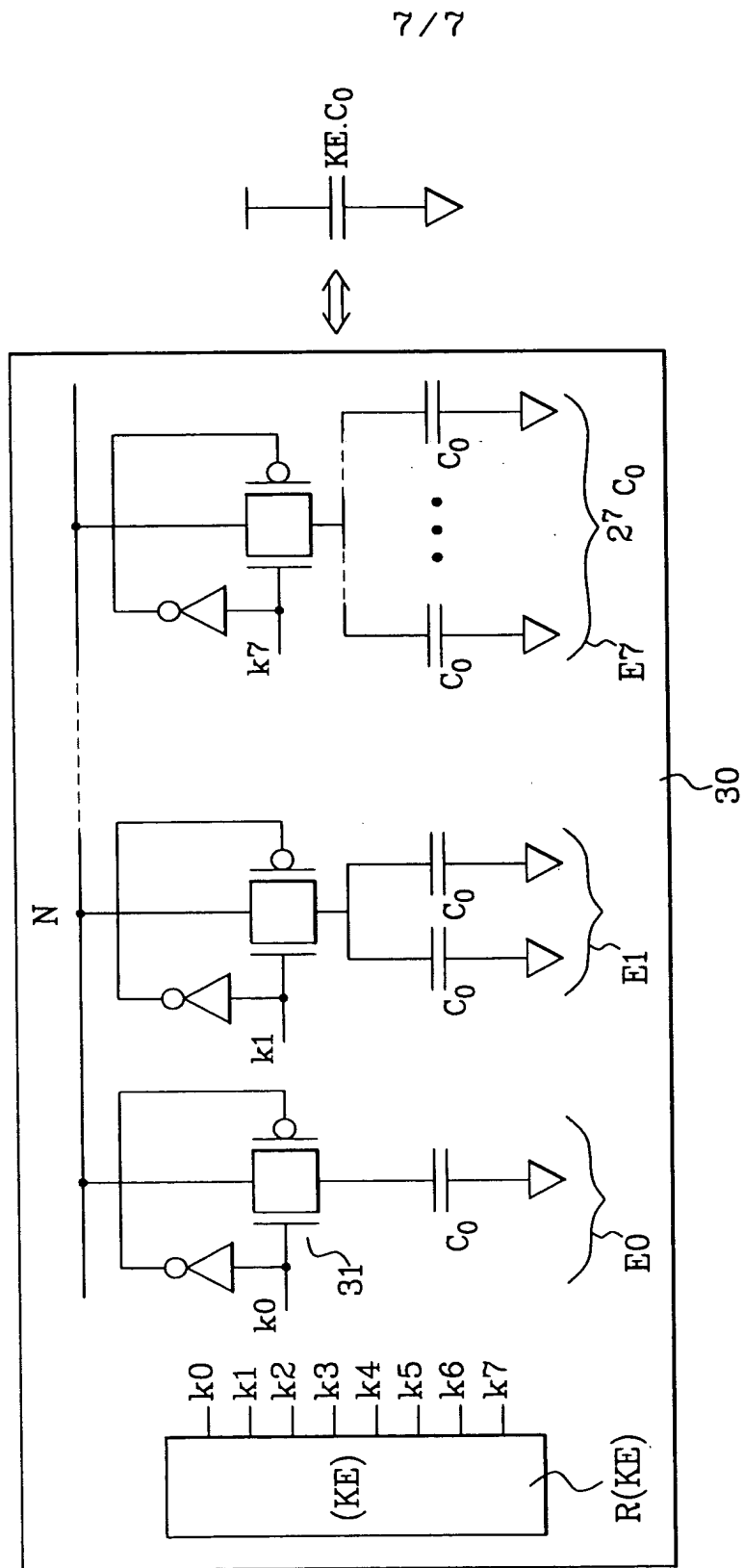


Fig. 8

THIS PAGE BLANK (USPTO)

(THIS PAGE BLANK (USPTO))

THIS PAGE BLANK (USPTO)